

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A)

平3-280018

⑧ Int. Cl.

G 02 F 1/136  
H 01 L 27/04  
29/784

識別記号

5 0 0

C

庁内整理番号

9018-2K  
7514-4M

⑨ 公開 平成3年(1991)12月11日

9056-4M H 01 L 29/78

3 1 1 C

審査請求 未請求 請求項の数 1 (全9頁)

⑩ 発明の名称 液晶表示装置

⑪ 特 願 平2-81707

⑫ 出 願 平2(1990)3月29日

⑬ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑭ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑮ 代 理 人 弁理士 松隈 秀盛

# 明 細 書

発明の名称 液晶表示装置

特許請求の範囲

薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置において、

各画素の付加容量は、上記薄膜トランジスタのチャンネルを構成する薄膜とゲート電極を構成する薄膜を両電極として該両電極間に上記薄膜トランジスタのゲート絶縁膜より薄い誘電体を有し、単位面積当りの容量が上記薄膜トランジスタの単位面積当りのゲート容量より大となるように構成されて成る液晶表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、アクティブマトリックス方式の液晶表示装置に関する。

(発明の概要)

本発明は、薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置において、各

画素の付加容量を、その誘電体を薄膜トランジスタのゲート絶縁膜より薄くして単位面積当りの容量が薄膜トランジスタの単位面積当りのゲート容量より大となるように構成することによって、液晶セルに印加される電圧の保持を確実にすると共に薄膜トランジスタで構成される走査回路部における入力容量を低減し、駆動電力の低減化を図るようにしたものである。

(従来の技術)

アクティブマトリックス方式の液晶表示装置における1画素の構成は、第5図の等価回路図で示すように、液晶セル(1)に対して1つのスイッチング用薄膜トランジスタ(2)と付加容量C<sub>0</sub>を有し、薄膜トランジスタ(2)のソースが信号線(3)に接続され、ドレインが液晶セル(1)の透明電極に接続され、ゲートが選択線(4)に接続されて成る。具体的構造は、第6図に示すようにガラス等からなる透明の絶縁基板(5)上にスイッチング用薄膜トランジスタ(2)のチャンネルを構成する第1層目の多結晶シリ

コン膜(9)が形成され、この多結晶シリコン膜(9)上にゲート絶縁膜(10)を介して第2層目の多結晶シリコン膜によるゲート電極(8)が形成され、ゲート部を挟んでソース領域(6S)及びドレイン領域(6D)が形成される。ゲート電極(8)は選択線(4)と共用される。ゲート電極(8)を覆うように全面に第1の絶縁膜(9)が形成され、第1の絶縁膜(9)のコンタクトホールを介して例えば(11)による信号線(5)がソース領域(6S)に接続される。さらに全面に第2の絶縁膜(10)が被着形成され、この第2の絶縁膜(10)上に例えばITO(酸化インジウム錫)膜による透明画素電極(11)が形成され、その一部が第1及び第2の絶縁膜(9)及び(10)を通して形成したコンタクトホールを介して薄膜トランジスタ(2)のドレイン領域(6D)に接続される。そして、内面に配線部分(選択線(4)、信号線(5)等が存在する部分)及び薄膜トランジスタ(2)に対応する箇所に光遮蔽層(12)が形成され、光遮蔽層(12)を含む全面に対向電極(13)が形成されたガラス等からなるもう一方の透明絶縁基板(14)が絶縁基板(5)に対向して配され、

上述の走査回路部を同一の基板(5)上に形成したアクティブマトリックス方式の液晶表示装置においては、画素のスイッチングトランジスタ(2)と走査回路部が同一の薄膜トランジスタによって構成される。ここで、走査回路部は外部からの信号入力部となるために、トランジスタの入力容量(ゲート容量)は小さい方が駆動電力が小さくてよいので望ましい。しかし、入力容量を小さくするように薄膜トランジスタを形成した場合、之と同じ工程で作られる画素の付加容量 $C_a$ が容量的に制約を受けることになる。

本発明は、上述の点に鑑み、走査回路部における薄膜トランジスタの入力容量を小さくし、しかも、画素の付加容量を大きくして、駆動電力の低減化と液晶セルの電圧保持を可能にした液晶表示装置を提供するものである。

#### (問題を解決するための手段)

本発明は、薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置において、各

画素基板(5)及び(14)間に液晶層(15)が封入されて形成される。

付加容量 $C_a$ は図示せざるも、薄膜トランジスタ(2)のチャンネルを構成する第1層目の多結晶シリコン膜と選択線(4)と共用するゲート電極(8)(第3図では図りの選択線(4))を構成する第2層目の多結晶シリコン膜を両電極とし、その間の絶縁膜(一般的には薄膜トランジスタ(2)のゲート絶縁膜(10)と同じ絶縁膜)を誘電体膜として構成される。この付加容量 $C_a$ は液晶セル(1)に印加される電圧を保持するのが目的であるために、出来るだけ容量は大きい方がよい。

一方、多結晶シリコン膜による薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置では、透明画素電極(11)及びスイッチング用薄膜トランジスタ(2)が形成された同一の基板(5)上に水平及び垂直の走査回路を一体に形成することが一般的に行われている。

(発明が解決しようとする課題)

画素の付加容量 $C_a$ を、薄膜トランジスタ(2)(23)のチャンネルを構成する薄膜とゲート電極(8)を構成する薄膜を両電極(25)及び(27)として、この両電極(26)及び(27)間に薄膜トランジスタのゲート絶縁膜(7)より薄い誘電体膜(25)を有して単位面積当たりの容量が薄膜トランジスタの単位面積当たりのゲート容量より大となるように構成する。

#### (作用)

本発明の構成によれば、各画素の付加容量 $C_a$ としては薄膜トランジスタ(2)(23)のゲート絶縁膜(7)より薄い誘電体膜(25)を有して構成されるので、容量の大きい付加容量が得られ、液晶セルに印加される電圧が確実に保持される。

一方、薄膜トランジスタ(23)ではそのゲート絶縁膜(7)を付加容量 $C_a$ の誘電体膜(25)より厚く形成されるので、ゲート容量が小さい薄膜トランジスタ(23)が得られ、走査回路部における入力容量が低減され、駆動電力の低減が図れる。

(実施例)

以下、図面を参照して本発明によるアクティブマトリックス方式の液晶表示装置の実施例を説明する。

第1図は、本発明に係るアクティブマトリックス方式の液晶表示装置の要部、即ち同一の基板上に透明画素電極、スイッチング用薄膜トランジスタ、付加容量、走査回路部等が重複された所謂アクティブマトリックス基板を示す一例である。

第1図において、(5)はガラス等からなる透明の絶縁基板を示し、この基板(5)上に画素形成部(21)においてスイッチング用薄膜トランジスタ(2)、付加容量C<sub>3</sub>及び図示せざるも透明画素電極が形成されると共に、周辺の走査回路形成部(22)において走査回路部を構成する薄膜トランジスタ(23)が形成されて成る。しかし、スイッチング用薄膜トランジスタ(2)は基板(5)上にチャンネル及びソース領域(65)、ドレイン領域(60)を構成する第1層目の多結晶シリコン膜(24)を有し、その上に所要の膜厚t<sub>1</sub>のゲート絶縁膜(7)を介して第2層目の多

結晶シリコン膜によるゲート電極(8)（ここでは選択線(4)と共用している）を形成して構成する。付加容量C<sub>3</sub>は薄膜トランジスタ(2)のドレイン領域(60)と連続するように之と一体に形成した多結晶シリコン膜を一方の電極(25)として、この電極(25)上に薄膜トランジスタ(2)のゲート絶縁膜(7)より薄い膜厚t<sub>2</sub>(t<sub>2</sub><t<sub>1</sub>)の誘電体膜(26)を介してゲート電極(8)を構成する第2層目の多結晶シリコン膜からなる他方の電極(27)を形成して構成する。本例では、他方の電極(27)は垂直方向に関する隣りの選択線（ゲート電極）に対応している。

一方、走査回路部を構成する薄膜トランジスタ(23)は、スイッチング用薄膜トランジスタ(2)と同一に構成するもので、図示のようにチャンネル及びソース領域(65)、ドレイン領域(60)を構成する第1層目の多結晶シリコン膜(24)上にスイッチング用薄膜トランジスタ(2)と同一の膜厚t<sub>1</sub>のゲート絶縁膜(7)を介して第2層目の多結晶シリコン膜によるゲート電極(8)を形成して構成する。このようにしてアクティブマトリックス基板(29)を構成

する。この後は、通常のようにこのアクティブマトリックス基板(29)に対して第6図で示すと同じように光遮蔽層、対向電極を有するもう一方のガラス等からなる透明の絶縁基板を配し、その間に液晶層を封入して液晶表示装置を構成する。

次に、かかるアクティブマトリックス基板(29)の製法例を第2図～第4図に示す。

第2図の例は、先ず第2図Aに示すように、ガラス等の絶縁基板(5)上に第1の多結晶シリコン膜を形成し、之をパターニングして画素形成部(21)においてスイッチング用薄膜トランジスタのチャンネルと付加容量の一方の電極となる互に連続した共通の多結晶シリコン膜(24<sub>1</sub>)を形成し、周辺部において走査回路部の薄膜トランジスタのチャンネルを構成する多結晶シリコン膜(24<sub>2</sub>)を形成する。そして、両多結晶シリコン膜(24<sub>1</sub>)及び(24<sub>2</sub>)上に、ゲート絶縁膜と成る所要の膜厚t<sub>1</sub>のSiO<sub>2</sub>膜(32)を塗着形成する。次に、第2図Bに示すように、レジストマスク(33)を介して付加容量に対応する部分のSiO<sub>2</sub>膜(32)を一部選択ニッチ

ングしてSiO<sub>2</sub>膜(32)よりなるゲート絶縁膜(7)の膜厚t<sub>2</sub>より薄い膜厚t<sub>2</sub>のSiO<sub>2</sub>膜(32)よりなる誘電体膜(26)を形成する。次いでレジストマスク(33)をそのままにして誘電体膜(26)直下の多結晶シリコン膜(30)に例えばAs<sup>+</sup>(35)を選択的にイオン注入して付加容量の一方の電極(25)を形成する。

次に、第2図Cに示すように、レジストマスク(33)を除去した後、全面に第2の多結晶シリコン膜(34)を形成する。次に、第2図Dに示すように第2の多結晶シリコン膜(34)をパターニングして、付加容量の他方の電極(27)と、スイッチング用の薄膜トランジスタ(2)のゲート電極(8)と、走査回路部の薄膜トランジスタ(23)のゲート電極(8)を形成する。次に、これら他方の電極(27)、両ゲート電極(8)をマスクとして例えばAs<sup>+</sup>(36)をイオン注入してスイッチング用の薄膜トランジスタ(2)のソース領域(65)及びドレイン領域(60)を形成すると共に、走査回路部の薄膜トランジスタ(23)のソース領域(65)及びドレイン領域(60)を形成する。

これによって、同一の膜厚t<sub>1</sub>のゲート絶縁膜

(7)を有したスイッチング用導膜トランジスタ(23)及び走査回路部の導膜トランジスタ(23)と、ゲート絶縁膜(7)より薄い膜厚 $t_1$ の誘電体膜(26)と之を挟む多結晶シリコン膜による両電極(25)及び(27)とからなる付加容量 $C_a$ が形成された目的のアクティブマトリックス基板(29)が得られる。

第3図の例は、先ず第3図Aに示すように基板(29)上に第2図と同様に多結晶シリコン膜(24<sub>1</sub>)及び(24<sub>2</sub>)を形成した後、両多結晶シリコン膜(24<sub>1</sub>)及び(24<sub>2</sub>)上にゲート絶縁膜となる所要の膜厚 $t_1$ の3層構造の絶縁膜即ち $SiO_2$ 膜(38)、 $Si_3N_4$ 膜(39)及び $SiO_2$ 膜(40)を被着形成する。次に、第3図Bに示すように、レジストマスク(33)を介して付加容量に対応する部分の例えば3層目の $SiO_2$ 膜(40)のみを選択的にエッチング除去して3層構造によるゲート絶縁膜(7)の膜厚 $t_1$ より薄い膜厚 $t_2$ の $SiO_2$ 膜(38)と $Si_3N_4$ 膜(39)の2層構造による誘電体膜(26)を形成する。次いで誘電体膜(26)直下の多結晶シリコン膜に例えば $As^+$ (35)をイオン注入して付加容量の一方の電極(25)を形成する。次

に、第3図Cに示すように、レジストマスク(33)を除去した後、全面に第2の多結晶シリコン膜(34)を形成する。次に、第3図Dに示すように第2の多結晶シリコン膜(34)をパターンニングして付加容量の他方の電極(27)と、スイッチング用の導膜トランジスタ(23)のゲート電極(27)と、走査回路部の導膜トランジスタのゲート電極(27)とを形成する。そして、これら電極(27)及び両ゲート電極(27)をマスクとして例えば $As^+$ (35)をイオン注入してスイッチング用導膜トランジスタ(23)のソース領域(65)及びドレイン領域(60)を形成すると共に、走査回路部の導膜トランジスタ(23)のソース領域(65)及びドレイン領域(60)を形成する。

この製法においても膜厚 $t_1$ のゲート絶縁膜(7)を有するスイッチング用導膜トランジスタ(23)及び走査回路部の導膜トランジスタ(23)と、また、ゲート絶縁膜(7)より薄い誘電体膜(26)を有する付加容量 $C_a$ が形成されたアクティブマトリックス基板(29)が得られる。

第4図の例は、先ず第4図A及びBに示すよう

に、基板(29)上に上例と同じように多結晶シリコン膜(24<sub>1</sub>)及び(24<sub>2</sub>)を形成し、両多結晶シリコン膜(24<sub>1</sub>)及び(24<sub>2</sub>)上に全面均一にゲート絶縁膜となる所要の膜厚 $t_1$ の $SiO_2$ 膜(42)を形成する。そして、レジストマスク(33)を介して付加容量に対応する部分の $SiO_2$ 膜(42)を選択エッチングして薄くし、その薄い $SiO_2$ 膜(42)直下に例えば $As^+$ (35)をイオン注入して付加容量の一方の電極(25)を形成する。次に、第4図Cに示すように $SiO_2$ 膜(42)上に順次 $Si_3N_4$ 膜(43)及び $SiO_2$ 膜(44)を被着形成する。これによって3層構造による膜厚 $t_1$ のゲート絶縁膜(7)が形成されると共に、同じ3層構造であるもゲート絶縁膜(7)より薄い膜厚 $t_2$ の誘電体膜(26)が形成される。そして、この上に全面に第2の多結晶シリコン膜(34)を形成する。次いで、第4図Dに示すように、第2の多結晶シリコン膜(34)をパターンニングし、付加容量 $C_a$ の他方の電極(27)と、スイッチング用の導膜トランジスタ(23)のゲート電極(27)と、走査回路部の導膜トランジスタ(23)のゲート電極(27)を形成する。次で、 $As^+$ (35)

をイオン注入してスイッチング用導膜トランジスタ(23)のソース領域(65)及びドレイン領域(60)を形成すると共に、走査回路部の導膜トランジスタ(23)のソース領域(65)及びドレイン領域(60)を形成する。この製法においても膜厚 $t_1$ のゲート絶縁膜(7)を有するスイッチング用導膜トランジスタ(23)及び走査回路部の導膜トランジスタ(23)と、薄い膜厚 $t_2$ の誘電体膜(26)を有する付加容量 $C_a$ が形成された目的のアクティブマトリックス基板(29)が得られる。

上述の構成の液晶表示装置によれば、そのアクティブマトリックス基板において、水平と垂直の走査回路を構成する導膜トランジスタ(23)では所要の膜厚 $t_1$ のゲート絶縁膜(7)を形成することによって、ゲート容量即ち入力容量を小さくすることができ、駆動電力を小さくすることができる。

一方、画素部の付加容量 $C_a$ では、導膜トランジスタ(23)と同一の工程で形成するも、誘電体膜(26)がゲート絶縁膜(7)より薄いことによって、単位面積当りの容量がゲート容量のそれより大きく

なり、従って容量値の大きな付加容量 $C_s$ が得られ、液晶セルに印加される電圧の保持が確実となり、結果として画質向上が図れる。

ジスタ、 $C_s$ は付加容量、(23)は走査回路部を構成する薄膜トランジスタ、(7)はゲート絶縁膜、(25) (27)は付加容量の電極、(26)は誘電体膜である。

(発明の効果)

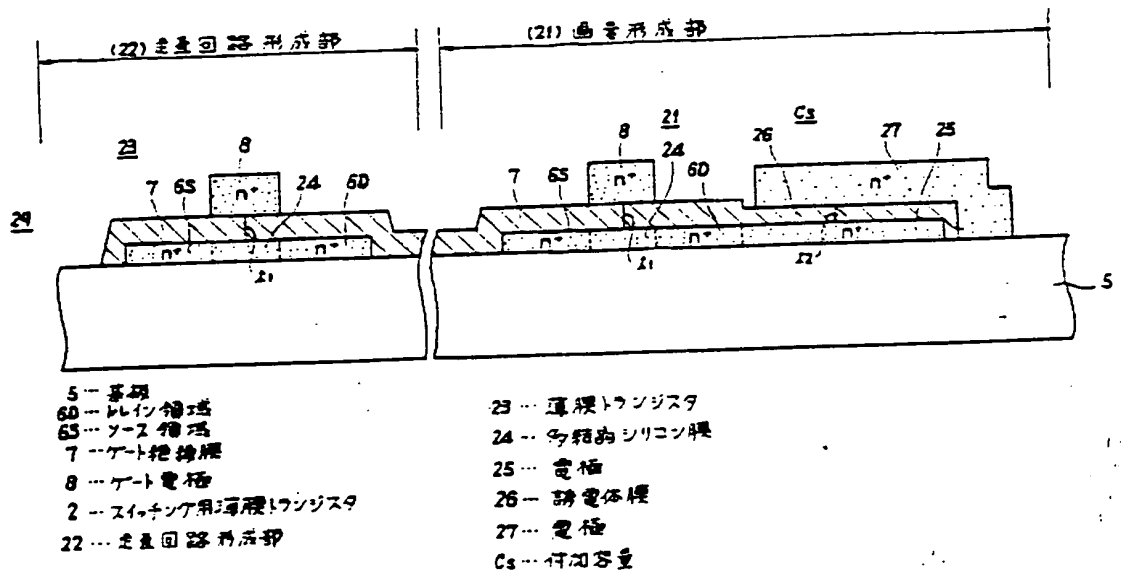
本発明に係る液晶表示装置によれば、走査回路部の入力容量を小さくし、画素部の付加容量を大きくすることができる。従って、駆動電力を低減できると共に、液晶セルの電圧保持を確実にしたアクティブマトリックス方式の液晶表示装置を得ることができる。

図面の簡単な説明

第1図は本発明によるアクティブマトリックス方式の液晶表示装置の要部(アクティブマトリックス基板)を示す断面図、第2図～第4図は夫々、本発明に係るアクティブマトリックス基板の製法例を示す製造工程図、第5図はアクティブマトリックス方式の液晶表示装置の1画素の等価回路図、第6図は1画素の断面図である。

代理人 松岡秀盛

(1)は液晶セル、(2)はスイッチング用薄膜トラン

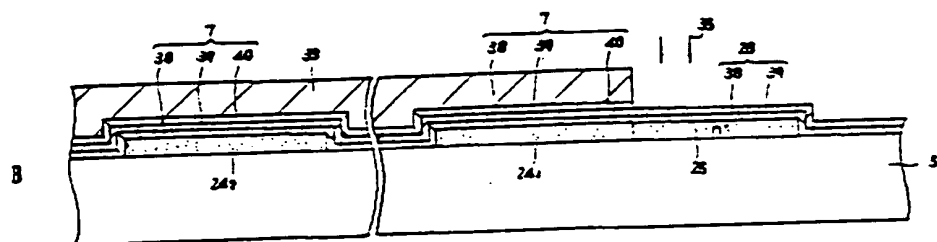
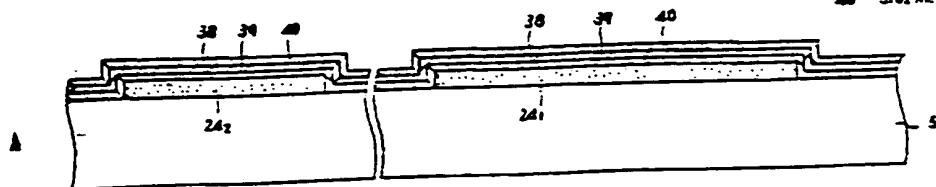


本発明液晶表示装置の実施例を示す要部の断面図

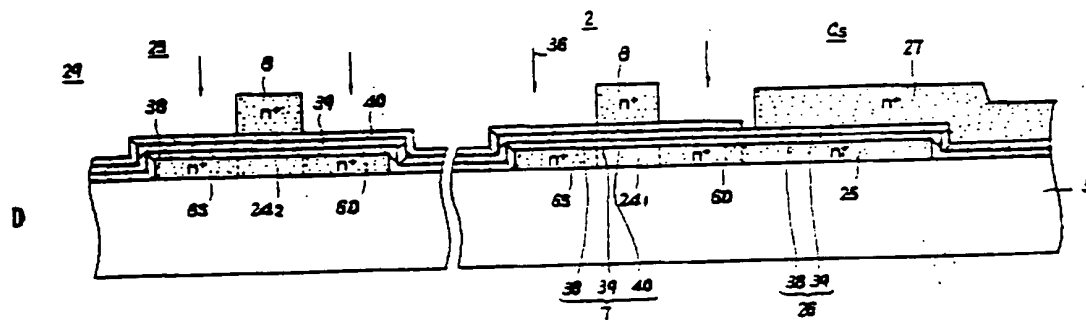
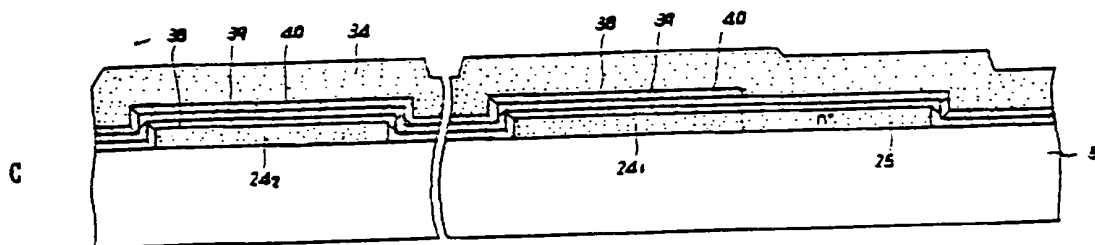
第1図



38 -- SiO<sub>2</sub>膜  
39 -- Si<sub>3</sub>N<sub>4</sub>膜  
40 -- SiO<sub>2</sub>膜

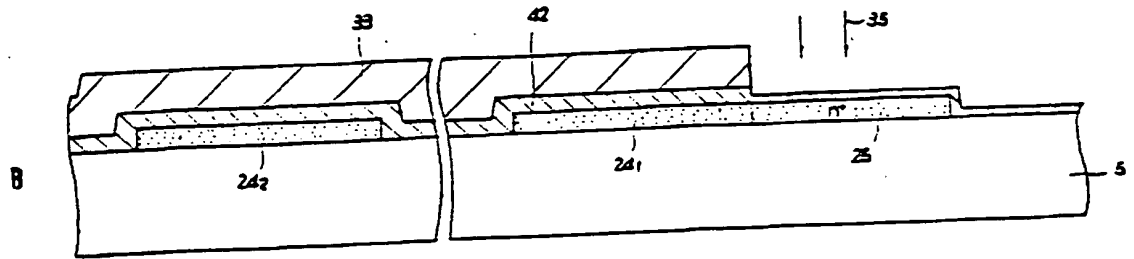
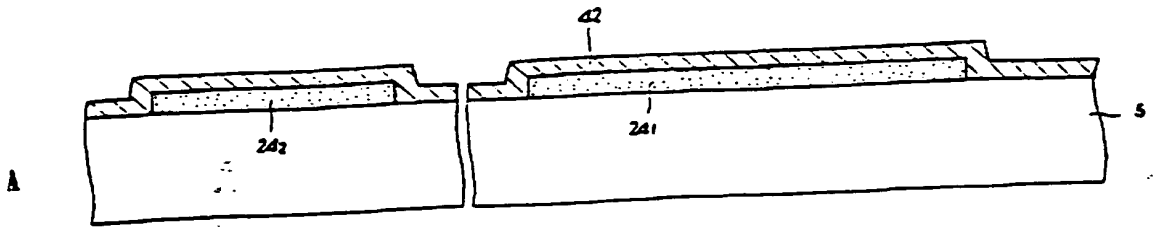


第3図(その1)



第2実施例を示す工程図

第3図(その2)



第4区(その1)

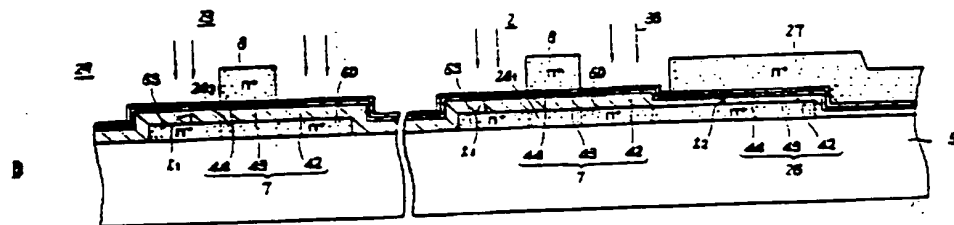
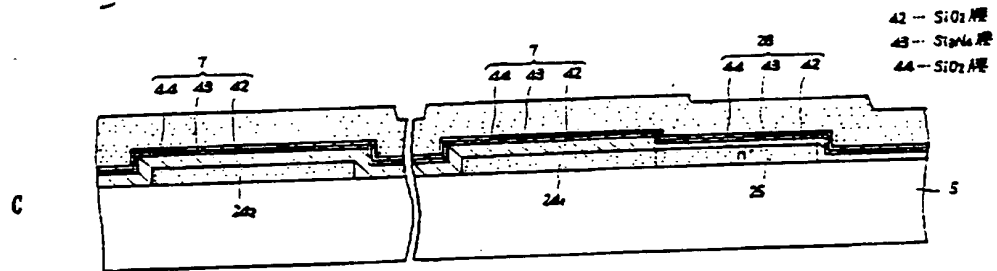
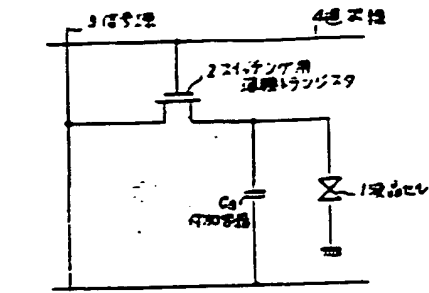


図2の第3実施例を示す二種図

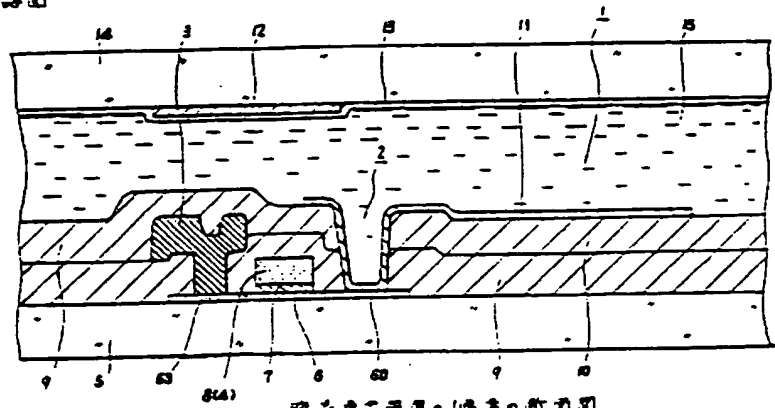
第4区(その2)





液晶表示装置の回路の平面回路図  
第5図

- |                  |         |
|------------------|---------|
| 5—基板             | 12—共通電極 |
| 6—多結晶シリコン膜       | 13—対向電極 |
| 7—ゲート絶縁膜         | 14—基板   |
| 8—ゲート電極(多結晶シリコン) | 15—液晶層  |
| 9,10—絶縁膜         |         |
| 11—透明色電極         |         |
| 60—ドレイン電極        |         |
| 65—ソース電極         |         |



液晶表示装置の断面の断面図  
第6図